

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-218321

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H01L 27/088

H01L 21/28

H01L 29/44

H01L 29/784

(21)Application number : 04-040321

(71)Applicant : NEC CORP

(22)Date of filing : 30.01.1992

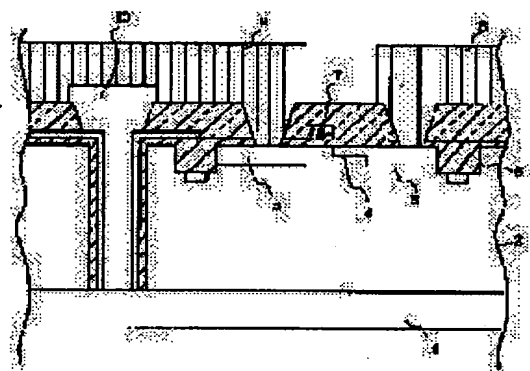
(72)Inventor : YAMAZAKI KAZUJI

## (54) FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURE

## (57)Abstract

**PURPOSE:** To reduce a resistance by the use of embedded tungsten in order to ground a substrate by forming the rear surface of a high-frequency operation high-output field effect transistor, in the case of a lateral type electric field structure, into a source.

**CONSTITUTION:** A tungsten-embedded region 10 is formed through an epitaxial layer 2 in order to connect a source electrode 9 to a silicon substrate 1. This renders the silicon substrate 1 free of a raised area, and hence makes it possible to withstand a high voltage. Also, the area of an element can be reduced because of the low resistance of tungsten.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-218321

(43)公開日 平成5年(1993)8月27日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/088				
21/28	301 R	7738-4M		
29/44	B	7738-4M		
		7342-4M		
		9168-4M		
			H01L 27/08	102 D
			29/78	321 X

審査請求 未請求 請求項の数3(全5頁) 最終頁に続く

(21)出願番号 特願平4-40321

(22)出願日 平成4年(1992)1月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山崎 和次

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 桑井 清一

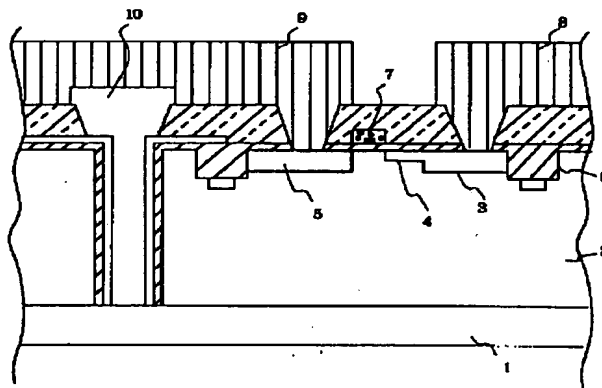
(54)【発明の名称】 電界効果型トランジスタおよびその製造方法

## (57)【要約】

【目的】 本発明の目的は高周波動作の高出力電界効果型トランジスタにおいて、横型電界構造の場合、裏面をソースとして形成し、基板に接地を行うために、埋め込みタングステンを用いることで抵抗を下げることである。

【構成】 ソース電極9をシリコン基板1と接続させるためにタングステン埋め込み領域10がエピタキシャル層2を貫通して設けられる。

【効果】 シリコン基板1のせり上がりが少ないため、高耐圧化が可能となる。また、タングステンは低抵抗なので素子の面積を縮小できる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に成長したエピタキシャル層と、エピタキシャル層の表面部に形成されたソース領域及びドレイン領域と、ゲート電極と、ソース領域とドレイン領域にそれぞれ接続したソース電極及びドレイン電極とを備えた横型の電界効果型トランジスタにおいて、エピタキシャル層を貫通し、ソース電極と半導体基板とを接続する連絡領域を高融点金属で形成したことを特徴とする横型の電界効果トランジスタ。

【請求項2】 半導体基板上に成長したエピタキシャル層と、エピタキシャル層の表面部に形成されたソース領域及びドレイン領域と、ゲート電極と、ソース領域とドレイン領域にそれぞれ接続したソース電極及びドレイン電極とを備えた横型の電界効果型トランジスタの製造方法において、エピタキシャル層を貫通し、ソース電極と半導体基板とを接続する連絡領域用トレンチを形成する工程と、該トレンチを高融点金属の化学気相成長法で埋める工程とを備えたことを特徴とする横型の電界効果トランジスタの製造方法。

【請求項3】 半導体基板上に成長しドレイン領域として機能するエピタキシャル層と、半導体基板とエピタキシャル層との界面に設けられた埋込層と、エピタキシャル層の表面部に設けられたベース領域と、ベース領域の表面部に設けられたソース領域とを備えた縦型の電界効果トランジスタにおいて、エピタキシャル層を貫通し埋込層とドレイン電極を接続する連絡領域を高融点金属で形成したことを特徴とした縦型の電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置の構造に関し、特に横型電界効果型トランジスタと縦型電界効果型トランジスタ高周波の高出力個別半導体素子および高出力の集積回路用半導体素子に関する。

## 【0002】

【従来の技術】 従来の半導体装置の構造は、図4に示すようにソース5、ドレイン3、低濃度N型拡散層4、ゲート7で構成されている。横型電界効果型トランジスタのソース接地の場合、ソースインダクタンス成分を低減するために低濃度のエピタキシャル層2を高濃度シリコン基板1上に成長させ、ソース電極9を高濃度のシリコン基板に高濃度の拡散層15を介して接続している。したがって、シリコン基板1をソース電極として用いる構造を有している。

【0003】 次に図5は縦型電界効果型トランジスタの個別半導体素子の構造を示している。図2において、14はエピタキシャル層、5はソース、12はベース領域、7はゲート、9はソース電極である。縦型電界効果型トランジスタはシリコン基板13がドレイン端子となり、電源端子がシリコン基板13に接続されることになる。

また図6に示すように、拡散層によって埋め込み層11に接続する構造を有している。

## 【0004】

【発明が解決しようとする課題】 この従来の半導体装置では、横型電界効果型トランジスタの場合、高濃度の拡散層15によって、半導体装置の裏面にあたるシリコン基板1にソース電極9を接地させていた。このため接地端子となるソース電極9に寄生となる抵抗成分が存在し、接地端子に大きな抵抗成分が寄生した場合、接地端子となるソース端子に電圧降下が生じ増幅特性が著しく悪化する。このため高濃度の拡散層15によって裏面のシリコン基板にソースを接地させる場合、拡散層15の断面積を大きくして抵抗を小さくする必要がある。しかしながら、図3のプロットAで示すように高濃度の拡散層15によって裏面の高濃度シリコン基板と接地させる場合、高濃度のシリコン基板1がボロンの場合、P型シリコン基板1のせり上がりによって従来のエピタキシャル層の濃度分布B（拡散前の濃度分布）に対して高濃度化C（せり上がったエピタキシャル層の濃度分布）耐圧の低下、トランジスタのしきい値が増加するという問題があった。

【0005】 また縦型電界効果型トランジスタの場合、半導体装置表面にドレイン電極8を形成する場合も同様に、寄生抵抗によりしきい値電流などの非飽和電流の値が減少しオン抵抗が増大する。このため横型電界効果型トランジスタと同様に高濃度の拡散層15の断面積を大きくし、抵抗を小さくする必要がある。このため半導体装置の素子面積が増大し、素子の小型化、集積化に対し問題があった。

## 【0006】

【課題を解決するための手段】 本願発明の第1の要旨は、半導体基板上に成長したエピタキシャル層と、エピタキシャル層の表面部に形成されたソース領域及びドレイン領域と、ゲート電極と、ソース領域とドレイン領域にそれぞれ接続したソース電極及びドレイン電極とを備えた横型の電界効果型トランジスタにおいて、エピタキシャル層を貫通し、ソース電極と半導体基板とを接続する連絡領域を高融点金属で形成したことである。

【0007】 本願発明の第2の要旨は、半導体基板上に成長したエピタキシャル層と、エピタキシャル層の表面部に形成されたソース領域及びドレイン領域と、ゲート電極と、ソース領域とドレイン領域にそれぞれ接続したソース電極及びドレイン電極とを備えた横型の電界効果型トランジスタの製造方法において、エピタキシャル層を貫通し、ソース電極と半導体基板とを接続する連絡領域用トレンチを形成する工程と、該トレンチを高融点金属の化学気相成長法で埋める工程とを備えたことである。

【0008】 本願発明の第3の要旨は、半導体基板上に成長しドレイン領域として機能するエピタキシャル層

と、半導体基板とエピタキシャル層との界面に設けられた埋込層と、エピタキシャル層の表面部に設けられたベース領域と、ベース領域の表面部に設けられたソース領域とを備えた縦型の電界効果トランジスタにおいて、エピタキシャル層を貫通し埋込層とドレイン電極を接続する連絡領域を高融点金属で形成したことである。

#### 【0009】

【発明の作用】高融点金属で連絡領域を形成しても、エピタキシャル層の不純物濃度は変化せず、また、高融点金属は低抵抗なので断面積が少なく、電界効果トランジスタの半導体基板上の占有面積を減少できる。

#### 【0010】

【実施例】次に本発明を図面を参照して説明する。図1は本発明の第1実施例であるNチャネル横型電界効果型トランジスタの断面図である。高濃度のP型シリコン基板1上に低濃度のP型エピタキシャル層2を成長させている。このP型エピタキシャル層2に高濃度N型ドレイン3と低濃度N型の拡散層4、高濃度N型ソース5を形成し、素子分離および寄生容量低減及びゲートの絶縁のためのシリコン酸化膜6と、ゲート電極7と、ドレイン電極8と、ソース電極9とを有している。ここでソース電極9を裏面の高濃度シリコン基板1に接続させるため、エピタキシャル層2にトレンチ溝を形成し、そこに化学気相成長法によって形成したタングステンなどの高融点金属10を埋め込む。

【0011】高融点金属10はシリコンの高濃度状態の抵抗率よりも3桁程度低いので断面積を著しく減少させることができ、しかも基板の高濃層のせり上がりがないのでエピタキシャル層2の濃度が高濃度化せず、ドレイン耐圧が保たれる。このため電源電圧を高くすることが可能である。

【0012】図2は本発明の第2実施例を示す断面図である。縦型電界効果型トランジスタの集積化のため、シリコン基板13とエピタキシャル層14の間に埋め込み層11が形成されている。縦型電界効果型トランジスタとするためのベース領域12がソース領域5の周囲に形成され、埋め込み層11に開口するトレンチ溝をエピタ

キシャル層14に形成し、そこに化学気相成長法によって形成したタングステンなどの高融点金属10を埋め込み、ドレインの寄生抵抗を低減する。

#### 【0013】

- 05 【発明の効果】横型電界効果型トランジスタの場合、気相成長法の場合の高温の熱処理が加えられず、低温で処理されるため高濃度シリコン基板のせり上がりが起きず、高耐圧および低しきい値動作のトランジスタが実現できる。また横型、縦型両電界効果型トランジスタとも高濃度拡散層にくらべ基板および埋め込み層に接続する接続領域の断面積を著しく低減できるという効果を有する。

#### 【図面の簡単な説明】

【図1】第1実施例を示す断面図である。

- 15 【図2】第2実施例を示す断面図である。

【図3】横型電界効果型トランジスタの高濃度拡散層を形成した場合の濃度分布図である。

【図4】従来例の断面図である。

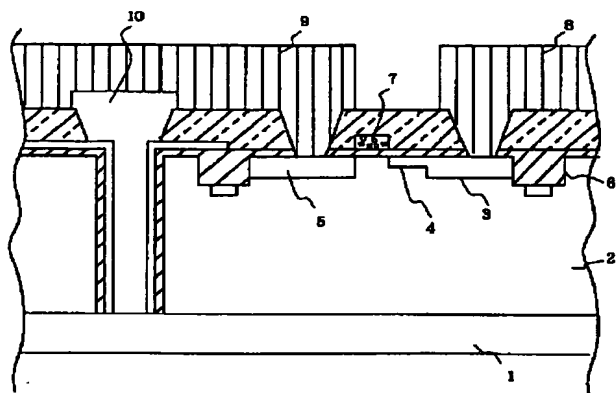
【図5】従来例の断面図である。

- 20 【図6】従来例の断面図である。

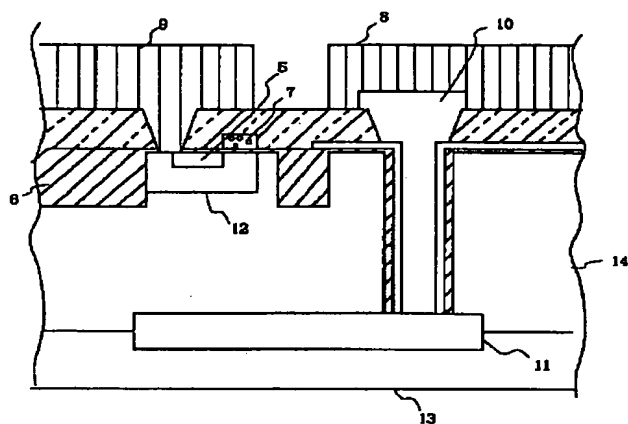
#### 【符号の説明】

- 1 P型高濃度シリコン基板  
2 P型エピタキシャル層  
3 ドレイン  
25 4 低濃度N型拡散層  
5 ソース  
6 シリコン酸化膜  
7 ゲート電極  
8 ドレイン電極  
30 9 ソース電極  
10 タングステン  
11 埋め込み層  
12 ベース領域  
13 シリコン基板  
35 14 エピタキシャル層  
15 高濃度拡散層

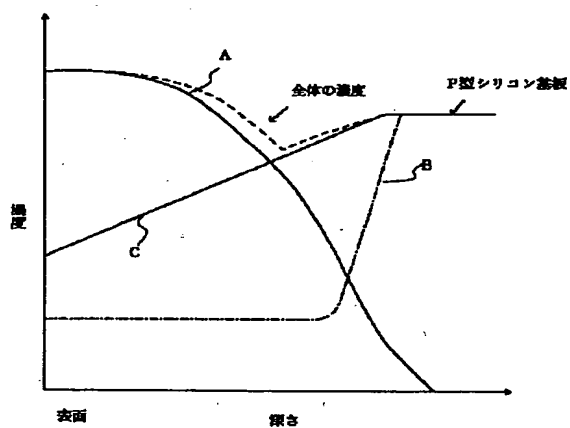
【図1】



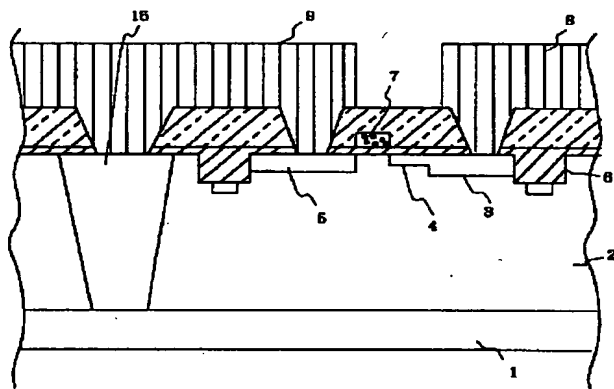
【図2】



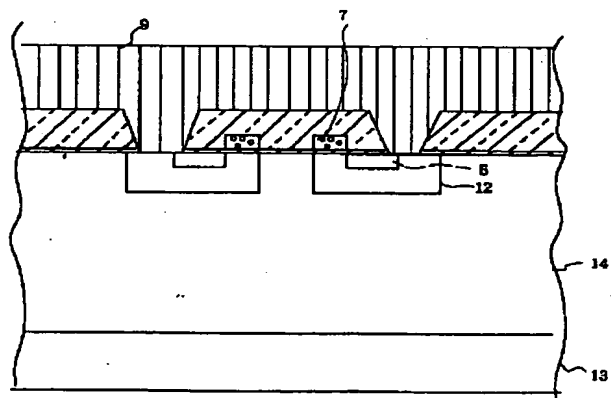
【図3】



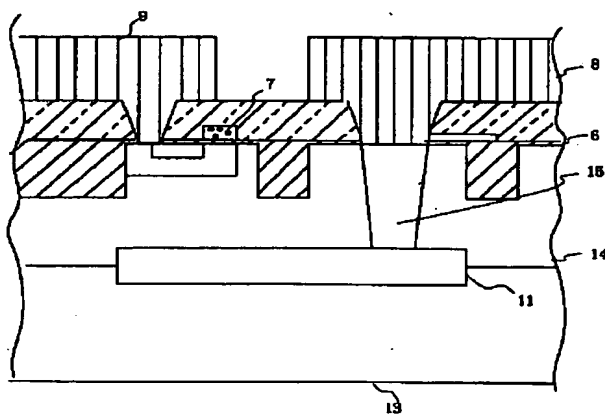
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.<sup>5</sup>

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所